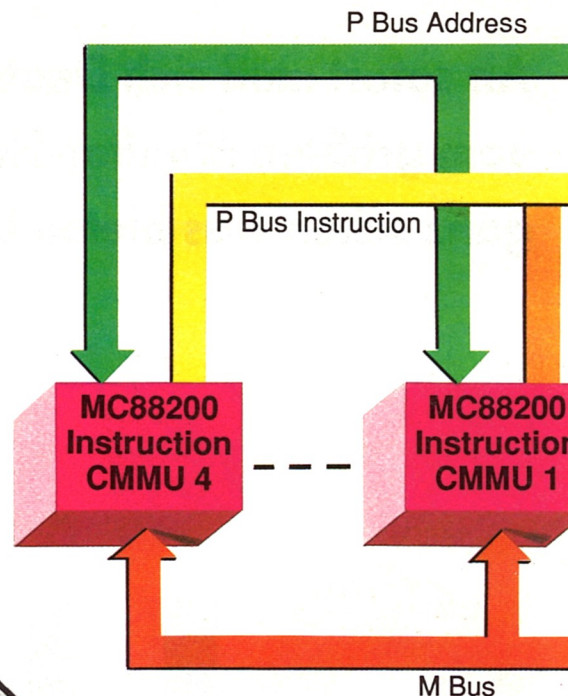
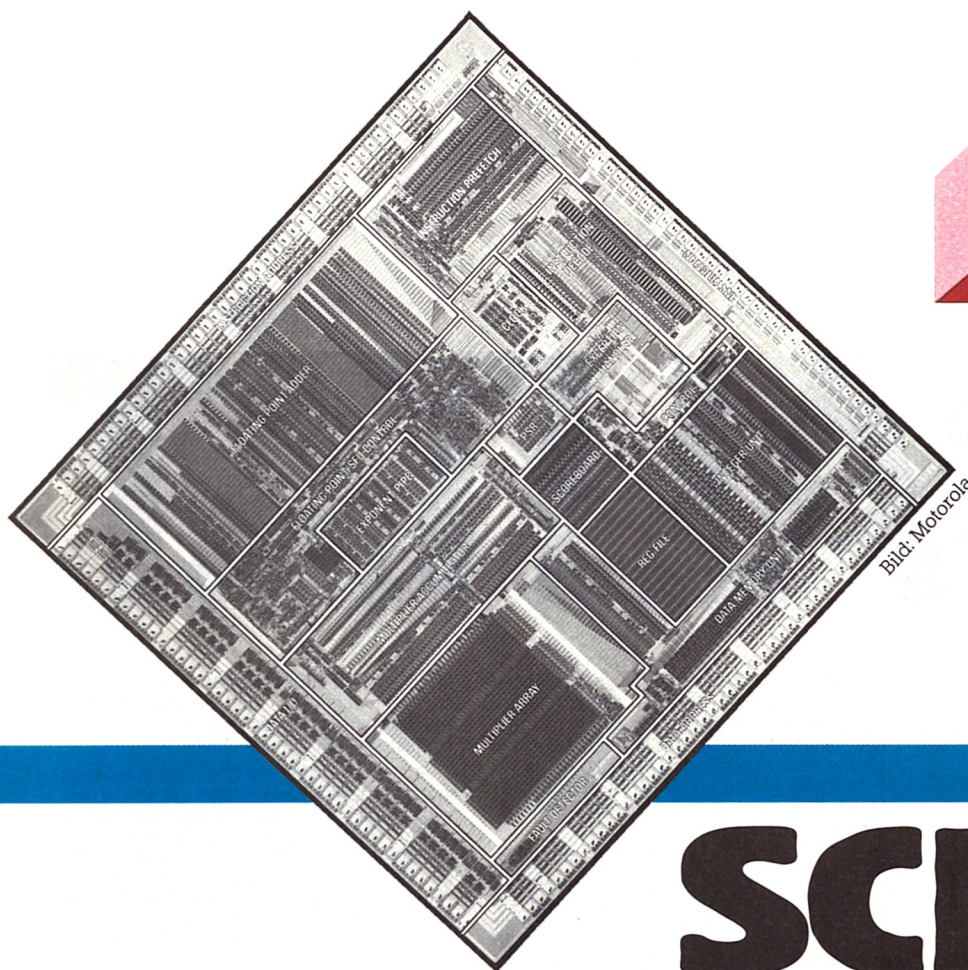


SERIE:

Die wichtigsten Chips



SCHNELL

MOTOROLA 88000

Ein Mikroprozessor, der bereits heute die Anforderungen von morgen erfüllen soll, muß so schnell sein wie der neue RISC-Chip 88000.

Die neue RISC-Familie 88000 von Motorola soll das Tor zum 32-bit-Zeitalter öffnen. Während die schon etwas betagte 68000-Familie über eine sogenannte CISC-Architektur verfügt, baut die 88000-Familie auf modernster RISC-Architektur.

Hinter dem Kürzel CISC verbirgt sich die Bezeichnung „Complex Instruction Set Computer“, RISC bedeutet hingegen „Reduced Instruction Set Computer“. Was hinter diesen beiden englischen Fachausdrücken steckt, läßt sich leicht erklären: Der 88100-RISC-Prozessor verfügt über sehr einfache, jedoch ungewöhnlich schnelle Befehle; ein Prozessor aus der 68000-Familie arbeitet hingegen mit sehr komfortablen, jedoch vergleichsweise langsamen Instruktionen. Zudem erfordert die RISC-Architektur, daß der jeweilige Mikroprozessor jeden Maschinenbefehl in einer einzigen Taktperiode ausführt.

Der Prozessor der Chip-Familie, der 88100, zählt wohl zu den derzeit leistungsfähigsten RISC-Prozessoren. Laut Hersteller soll der 88000-Chip etwa fünfmal schneller sein als jedes andere vergleichbare Konkurrenzprodukt. Ferner merzten die Entwickler der 88000-Familie zahlreiche Mängel aus, die früheren RISC-Generationen anhafteten. Bereits beim Design legte Motorola sein Augenmerk auf wirksame Pufferung beim Zugriff auf den Arbeitsspeicher, auf hohen Datendurchsatz durch interne Parallelverarbeitung und auf einfache, stufenweise Erweiterbarkeit einer künftigen RISC-Konstruktion.

In erster Linie ist der Puffer-Speicher („Cache“) für die Leistungsfähigkeit eines RISC-Computers ausschlaggebend. Deshalb gibt es für den 88100-Prozessor gleich noch den 88200-Cache-Controller (CMMU = Cache/Memory Management Unit).

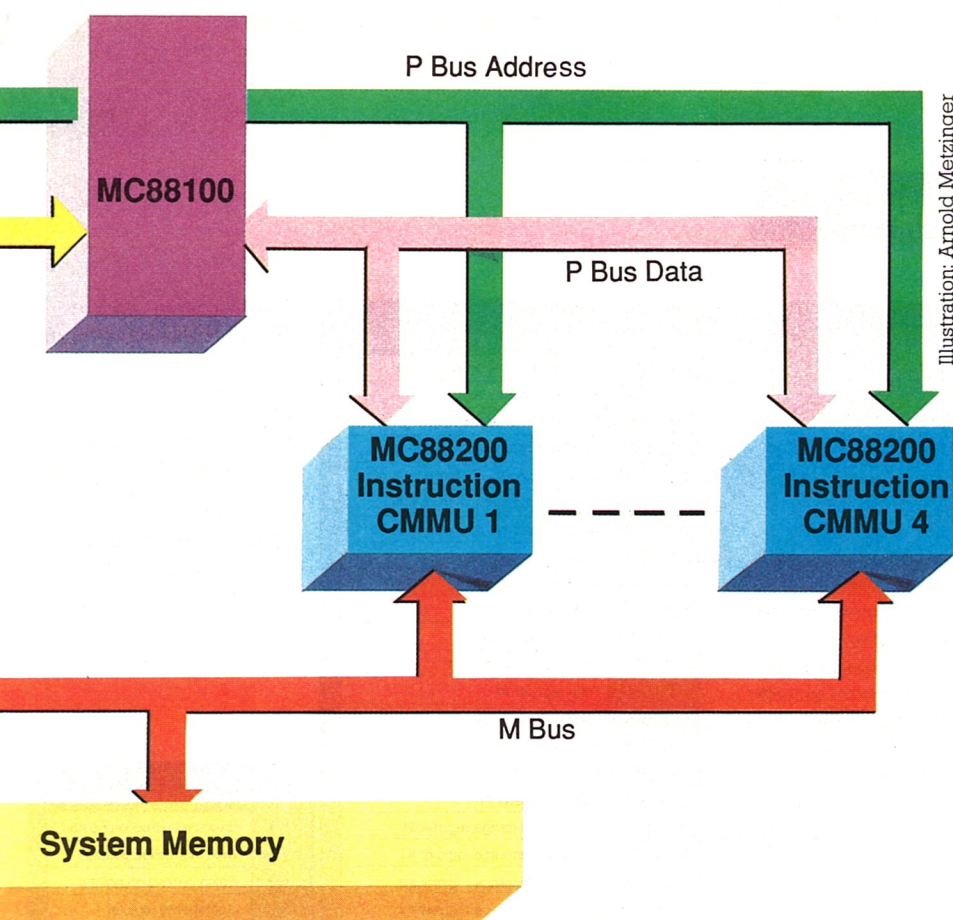


Illustration: Arnold Metzinger

LES RISC

Wie es bereits bei der 68000-Familie geschehen ist, soll später auch die Palette der RISC-Schaltkreise nach und nach erweitert werden.

Kaum waren die ersten Musterexemplare der 88100-/88200-Chips erhältlich, standen bereits die Hersteller besonders schneller 32-bit-Computer bei Motorola auf der Matte. Zugleich wurde das sogenannte 88open-Konsortium gegründet.

Ihm gehören derzeit mehr als 30 führende Hardware- und Software-Hersteller an. So bald wie möglich sollen ein neues Betriebssystem und eine möglichst große Software-Bibliothek für alle gängigen Programmiersprachen zur Verfügung stehen. Mehr oder weniger schwerwiegende Mängel, die beispielsweise MS-DOS oder Unix anhaften, soll es bei den zukünftigen 88000-RISC-Computern gar nicht erst geben. Die 88000-Familie rief bei Computer- und Software-Her-

stellern von Anfang an ein Interesse hervor, das bisher nur wenige vergleichbare Produkte in derartigem Ausmaß erreichen konnten.

Fünf funktionale Blöcke weist der 88000-Prozessor auf: die Integer-/Bit-Feld-Einheit, den Fließkomma-Addierer, den Fließkomma-Multiplizierer sowie die Daten- und Befehlseinheiten. Ferner befindet sich auf dem 88100-Chip ein 32 bit breites Register-File, das 32 Register enthält. Die insgesamt nur 51 Instruktionen des RISC-Prozessors erfüllen sechs typische Aufgaben: Integer-Operationen, logische Verknüpfungen, Bit-Feld-Operationen sowie Programmverzweigungen und Speicherzugriffe.

Den hohen Datendurchsatz erzielt der RISC-Prozessor mit vier voneinander getrennten Bus-Systemen. Der Daten-Adreßbus sowie der eigentliche Datenbus sind jeweils 32 bit breit. Lediglich beim Befehls-Adreßbus

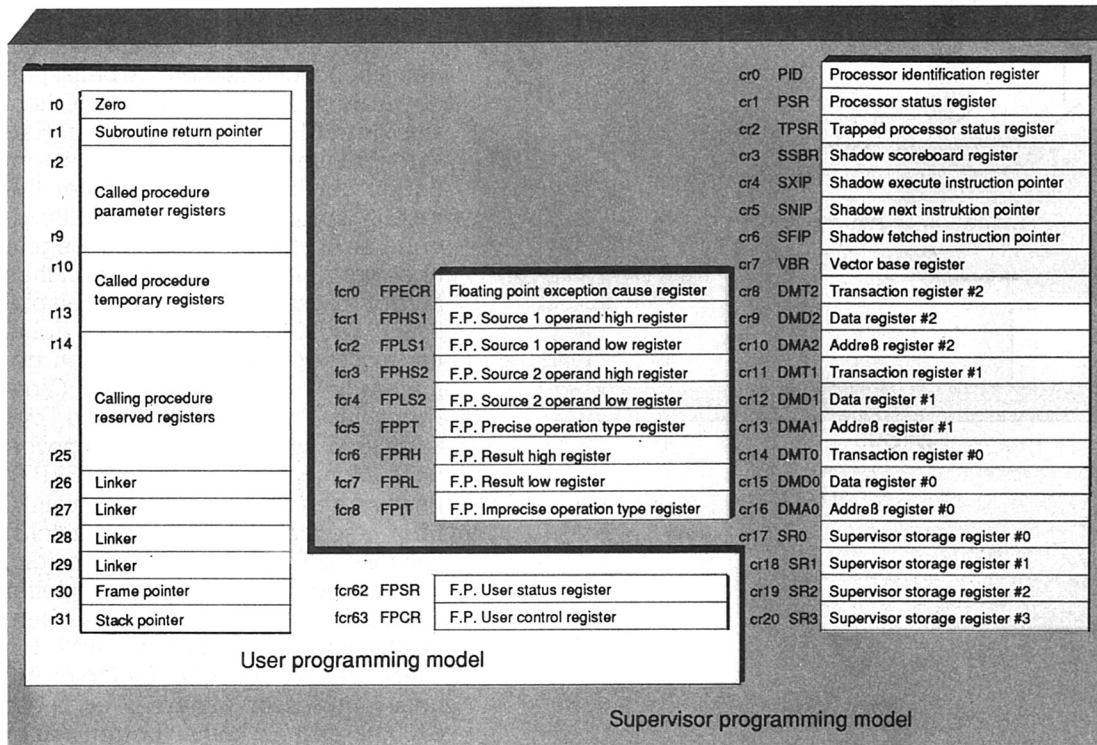
handelt es sich um einen 30-bit-Bus; der eigentliche Befehls-Bus dagegen ist wieder 32 bit breit. Bei einer Taktfrequenz von 20 MHz transportiert der 88100-Prozessor maximal rund 80 MByte pro Sekunde über die vier Busse.

Über die Befehls- und Dateneinheit kommuniziert der RISC-Prozessor mit dem angeschlossenen Arbeitsspeicher. Beim Speicherzugriff bedient sich der 88100 der sogenannten Harvard-Architektur: Intern und extern finden der Instruktionen- und der Datenfluß auf voneinander unabhängigen Leistungssystemen statt. Gegenüber vergleichbaren herkömmlichen Mikroprozessoren (zum Beispiel 80386, 68030), bei denen die Befehle und sonstigen Daten über einen gemeinsamen Datenbus laufen (Von-Neumann-Zyklus), gewinnt so der 88100-Prozessor enorme Tempovorteile. Momentan arbeiten die 88100-Prozessoren mit einer Taktrate von 20 MHz, jedoch sollen demnächst schnellere Exemplare erhältlich sein.

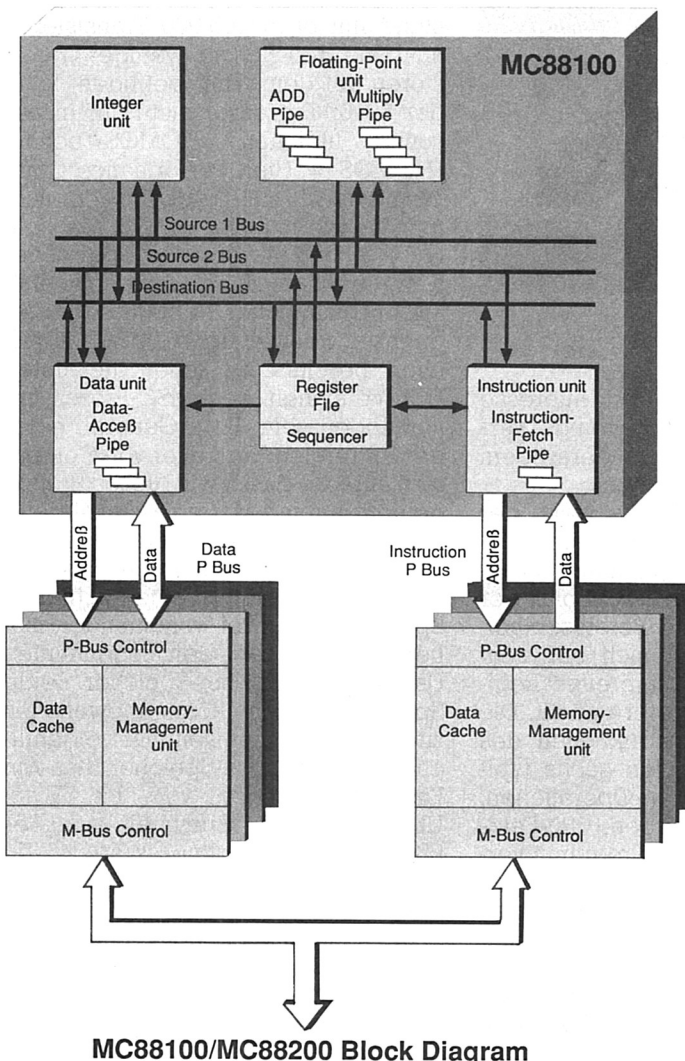
Während die meisten Hersteller von Mikroprozessoren mehrere hunderttausend Transistoren auf den Chip zwängen, beschreitet Motorolas neuer Prozessor andere Wege: Der 88000-Prozessor kommt getreu seiner RISC-Charakteristik trotz hoher Leistung mit etwa 165 000 Transistoren aus. Und weil sich so „wenige“ Transistoren auf dem Chip befinden, kann der 88100-Prozessor nicht nur in der sonst üblichen HCMOS-Technik (HCMOS = High Performance Complementary Metal-Oxide Semiconductor), sondern sogar in ECL-Technik (ECL = Emitter-coupled Logic) gefertigt werden. Und in dieser Technik lassen sich ohne Probleme Taktfrequenzen von weit über 100 MHz erreichen. Bereits 1991 sollen die ersten ECL-Versionen des RISC-Prozessors vorhanden sein. Data General, einer der führenden Hersteller von Computern auf ECL-Basis, will dieses Projekt gemeinsam mit Motorola realisieren.

Auch die 88200-Cache-Speicher-Verwaltung kann sich durchaus sehen lassen. Sie unterstützt einen virtuellen Speicher mit zwei voneinander isolierten Bereichen, den sogenannten User- und Supervisor-Speicher. Beide Speicherbereiche können jeweils bis zu vier GByte groß sein. Der eigentliche 4-Weg-Cache-Speicher hat ein Fassungsvermögen von 16 KByte. Über den Cache-Speicher kann der 88100-Prozessor ohne Wartezyklen selbst auf einen etwas trägen Arbeitsspeicher zugreifen.

Die enorme Rechenleistung des 88100-RISC-Prozessors läßt sich heute wohl kaum mit der irgendeines IBM-kompatiblen Rechners vergleichen – die zwei Rechnerarchitekturen sind



Die Register des 88100-RISC-Prozessors lassen sich in drei Gruppen einteilen: Vielzweckregister, interne Register und Steuerregister. Hohe Betriebssicherheit erreicht der RISC-Chip durch den User- sowie Supervisor-Modus.



So sieht das Blockschaftbild des 88100-RISC-Prozessors aus. Ungewöhnlich viele Zwischenspeicher (Pipes) enthalten die Daten-, Instruktions- und die Fließkomma-Einheit. Gerade diese ineinander verschachtelten Pipes tragen entscheidend dazu bei, daß der RISC-Prozessor jeden Befehl in einer einzigen Taktperiode ausführen kann.

eben zu verschieden. Kommt jedoch der sogenannte Dhrystone-Benchmark zur Anwendung (Benchmark für allgemeine, aber nicht Fließkomma-orientierte Anwendungen), so läßt sich die enorme Rechenleistung des 88100-RISC-Prozessors gut demonstrieren: Bis zu 1 800 Dhrystones erreicht beispielsweise ein herkömmlicher PC/AT-kompatibler Rechner unter MS-DOS 3.0 mit einem 80286-Prozessor bei einer Taktrate von 8 MHz und einem C-Compiler von Microsoft. Ein 80386-Rechner von Intel mit dem hauseigenen PMON-Debugger und dem C-Compiler C386 V0.2 schafft immerhin bei einer Taktrate von 16 MHz rund 6 100 Dhrystones. Laut Herstellerangaben erreicht das 88100-/88200-Chipset hingegen mühelos 34 000 Dhrystones.

Mit den in Kürze lieferbaren „Hypermodulen“ läßt sich die Rechenleistung dann nochmals auf das Dreifache steigern (etwa 102 000 Dhrystones). Diese Hypermodule gibt es in mehreren anwenderspezifischen Versionen. Sie enthalten weitere 88100-Einheiten (Central Processing Modules) und darüber hinaus einen sehr schnellen Cache-Speicher. Das Hypermodul mit einer Cache-Kapazität von 32 KByte verfügt nur über einen einzigen weiteren Prozessor. Gleich vier zusätzliche Prozessoren arbeiten hingegen im Hypermodul mit einem 128-KByte-Cache.

-na